

品番
Item No.

DN2027A

DS26349		
Rev.	Spec. No.	Date(M-D-Y)
0	P-R	Aug-21-08
1	P-R1	Sep-29-08
2	T-R	Nov-07-08

絶対最大定格/Absolute Maximum Ratings

項目 Parameter	記号 Symbol	端子 Terminal	定格 Ratings	単位 Unit
フィラメント電圧 Filament Voltage	1) Ef	F(+), F(-)	4.0	Vdc
ロジック電源電圧 Logic Supply Voltage	2) VDD1	VDD1	-0.3~6.5	Vdc
ディスプレイ電源電圧 Display Supply Voltage	2) VDD2	VDD2	-0.3~46	Vdc
入力電圧 Input Voltage	2) VIN	SI, CLK, LAT, BK	Vss-0.3~VDD1+0.3	V
出力電圧 Output Voltage	2) VOUT	SO	Vss-0.3~VDD1+0.3	V
保存温度 Storage Temperature	Ts	-	-50~+85	°C

Notes:

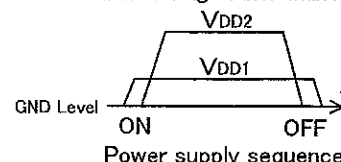
- 1) 極性指定にご注意ください。/Please note the polarity specification.
 フィラメントをAC以外で使用する場合は必ず事前にご相談下さい。/Please inform us know if you use the filament voltage other than AC
 2) Vss=0Vを基準とした値。/Voltages based on Vss=0V

推奨動作条件/Recommended Operating Conditions

項目 Parameter	記号 Symbol	端子 Terminal	定格/Ratings			単位 Unit
			MIN	TYP	MAX	
フィラメント電圧 Filament Voltage	1) Ef	F(+), F(-)	3.0	3.3	3.6	Vdc
ロジック電源電圧 Logic Supply Voltage	2) VDD1	VDD1	4.5	5.0	5.5	Vdc
ディスプレイ電源電圧 Display Supply Voltage	2), 4) VDD2	VDD2	38.0	42.0	46.0	Vdc
フィラメントバイアス電圧 Filament Bias Voltage	3) Ek	-	1.0	1.5	2.0	Vdc
Hレベル入力電圧 H-Level Input Voltage	VIH		VDD1 ×0.8	-	VDD1	V
Lレベル入力電圧 L-Level Input Voltage	VIL		Vss	-	VDD1 ×0.2	V
動作環境温度 Operating Temperature	To	-	-40	-	+85	°C

Notes:

- 1) 極性指定にご注意ください。/Please note the polarity specification.
 フィラメントをAC以外で使用する場合は必ず事前にご相談下さい。/Please inform us know if you use the filament voltage other than AC
 2) 電源シーケンス/Power Supply Sequence
 VDD2の印加中は、VDD1をフローティング又は、4.5V未満にしないこと。
 VDD2の電源投入はVDD1と同時にまたはVDD1の投入後であること。
 VDD1の電源遮断はVDD2と同時にまたはVDD2の遮断後であること。
 VDD1 should be applied and higher than 4.5V when applying VDD2.
 VDD1 and VDD2 should be on at the same time, or VDD2 should be on after VDD1 is on.
 VDD1 and VDD2 should be off at the same time, or VDD1 should be off after VDD2 is off
 3) 駆動回路例をご参照ください。/Please refer to Sheet 3/11
 4) 電流制限抵抗RD=15Ωの挿入をお勧めします。/RD=15Ω to be connected in series.



電氣的光学的特性 / Electrical and Optical Characteristics

At typical operating condition, all segments turned on, fCLK=4.0MHz, Ef=3.3Vdc, VDD1=5Vdc, VDD2=42Vdc, Vss=0V unless otherwise noted.

項目 Parameter	記号 Symbol	点灯試験条件 Test Condition	定格 / Ratings			単位 Unit
			MIN	TYP	MAX	
フィラメント電流 Filament Current	If	VDD1=VDD2=0V	131.0	146.0	160.0	mAdc
ロジック電源電流 Logic Supply Current	1) IDD1	fCLK=4.0MHz VDD1=5Vdc	—	2.0	4.0	mA
ディスプレイ電源電流 Display Supply Current	1) IDD2	Average from T1 to T20	—	15.0	23.0	mA
Hレベル入力電流 H-Level Input Current	I _{IH}	V _{IH} =VDD1	—	—	5.0	μA
Lレベル入力電流 L-Level Input Current	I _{IL}	V _{IL} =V _{ss} VDD1=5Vdc	-250	-70.0	-35	μA
輝度 Luminance	2) L [G]	T _a =20°C t _p /T _R =1/22	1000	(2000)	—	cd/m ²
発光色 Color of illumination	Green [G]					
Notes:						
1) ES検証後、値を見直すことがあります。予めご了承ください。 After ES is verified, the value might be reviewed. Please acknowledge it beforehand.						
2) () の数値は参考値 (基準値) とする。 (): The numerical value in parentheses is a reference value.						

お取り扱い上のご注意 / Caution

・電源投入後、表示させる前にシフトレジスタ内部とラッチされている出力を必ず消去して下さい。
特に高温時において、ちらつきの原因となることがあります。

After turning on the VFDs, clear shift register and latch before display pattern is appeared.
Unexpected working may be happened, especially, under high temperature condition.

・半導体を使用した製品であり、自他の発熱等の温度上昇により誤動作することがあります。
ご使用に当っては放熱にご配慮下さい。

Avoiding unexpected working because of rising enviromental temperature, consider to dissipate the heat.

・半導体製品ですので静電気には十分ご注意ください。故障の原因になります。

Precautions should be taken to minimize the possibility of static charges occurring during handling and assembly of the VFDs.

・蛍光体焼きつき防止のため、固定表示を避け、スクロールやスクリーンセイバー、スリープモード等の機能を加えてのご使用をお勧めします。

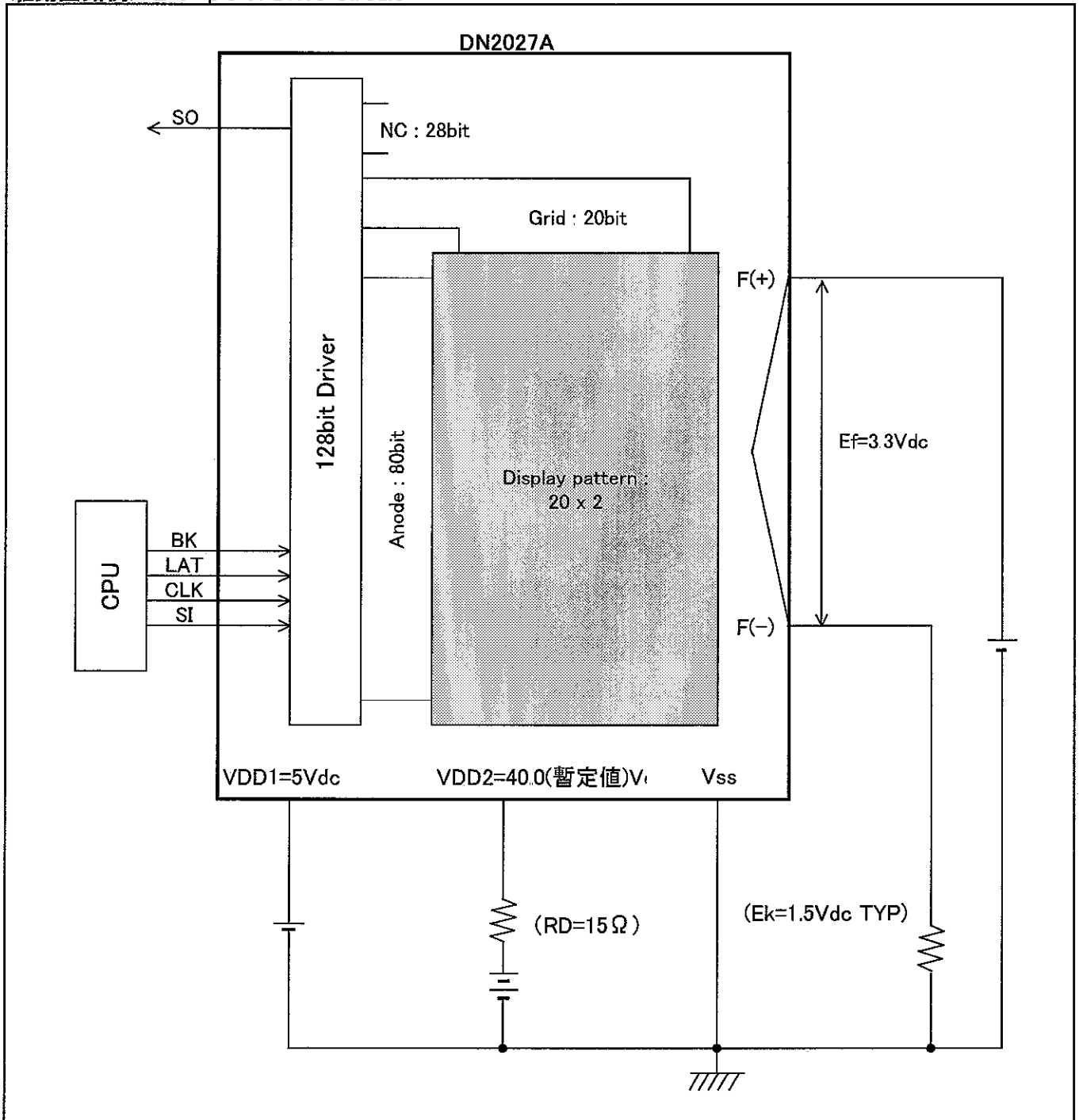
Avoiding burn-in problem because of fixed pattern, scroll, screen saver or sleep functions are recommended.

お断り / Announcement

製品改良の為、仕様書の内容をお断りなく変更することがあります。予めご了承ください。

Specifications might be changed by the product improvement. Please acknowledge it beforehand.

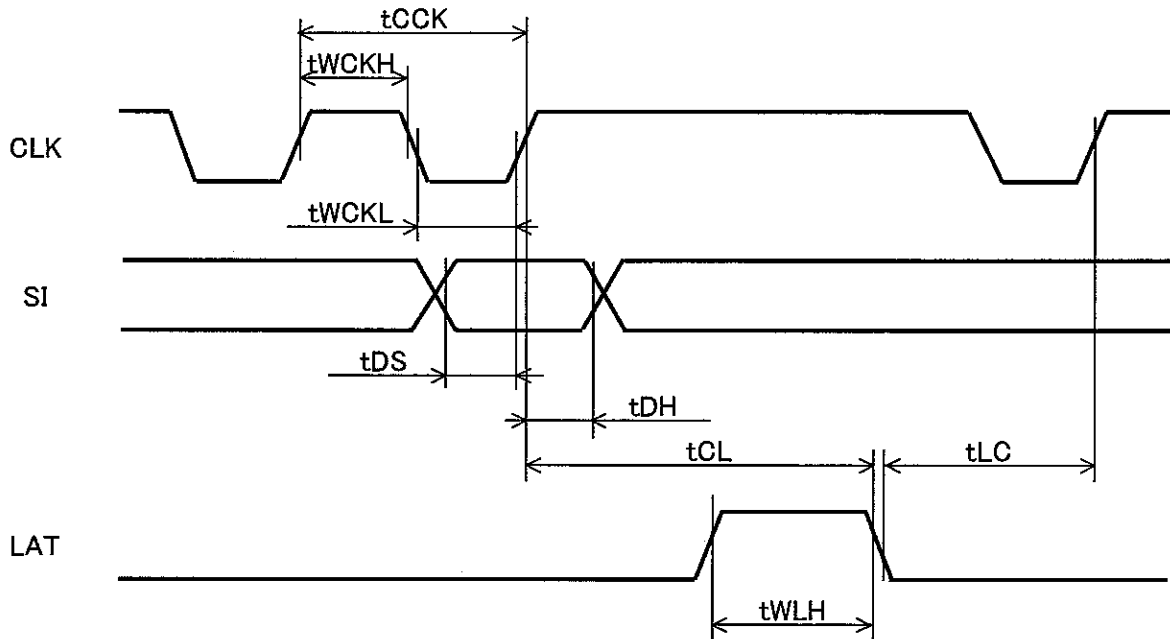
驅動回路例 / Example of Drive Circuit



端子機能表 / Terminal Function Table

端子 Terminal	機能 Function	説明 Description
CLK	クロック入力端子 Shift Register Clock Pin	立ち上がりでデータ取り込み。 The serial data at the rising edge is read by the Shift Register プルアップ抵抗内蔵 The pull-up resistor is included.
SI	データ入力端子 Serial Data Input Pin	H: ON (High Level) L: OFF (Low Level) プルアップ抵抗内蔵 The pull-up resistor is included.
LAT	ラッチパルス入力端子 Data Latch Control Pin	立ち下がりで表示出力。 The Shift Register data is put on hold at the falling edge. プルアップ抵抗内蔵 The pull-up resistor is included.
BK	ブランキング入力端子 Display Blanking Pin	H: Display OFF L: Display ON プルアップ抵抗内蔵 The pull-up resistor is included.
Vss	GND端子 Ground Pins	Ground Level = 0V
F(+), F(-)	フィラメント電圧入力端子 Filament Voltage Input Pins	3.3Vdc TYP
VDD1	ロジック系電源端子 Logic Supply Voltage Input Pin	5Vdc TYP
VDD2	ディスプレイ電源電圧入力端子 Display Supply Voltage Input Pin	40.0(暫定値)Vdc TYP
SO	データ出力端子 Serial Data Output Pin	グリッドスキャン監視に限り使用可。 For grid scanning watch use only.
NP	ノーピン No Pins	ピンはありません。 There is no pin.

AC特性 / AC Characteristics



入力信号条件 / Input signal conditions

- (1) 振幅: VSS ~ VDD1 / Amplitude: VSS - VDD1
- (2) 測定: VDD1の20%および80%を基準とする。 / Measurement: It is based on 20% of VDD1, and 80%.

入力タイミング	Input timing		Symbol	MIN	TYP	MAX	Unit
CLK周期	Clock cycle	*1	t_{CCK}	200	—	—	ns
CLK高レベルパルス幅	Clock H-level pulse width	*1	t_{WCKH}	80	—	—	ns
CLK低レベルパルス幅	Clock L-level pulse width	*1	t_{WCKL}	80	—	—	ns
データセットアップ時間	Data setup time	*1	t_{DS}	40	—	—	ns
データホールド時間	Data hold time	*1	t_{DH}	40	—	—	ns
LAT高レベル幅	Latch H-level width	*1	t_{WLH}	160	—	—	ns
CLK-LAT遅延時間 (モノラル動作時)	CLK-LAT delay time (for normal operation)	*1	t_{CL}	3.25	—	—	μs
LAT-CLK遅延時間	LAT-CLK delay time	*1	t_{LC}	200	—	—	ns

*1: 立ち上がり立ち下がり時間は10ns以下に規定します。

The regulation time of the rising or falling are 10ns or less.

Notes:

- 1) 誤動作防止のため、下記をご注意ください。
 - ・データ書き込み時を除き、CLKはHレベルであること。
 - ・LATがHレベル且つBKがLレベルの状態、CLKをL→Hレベルに変えないこと。

Refer to the following notice to avoid data error.

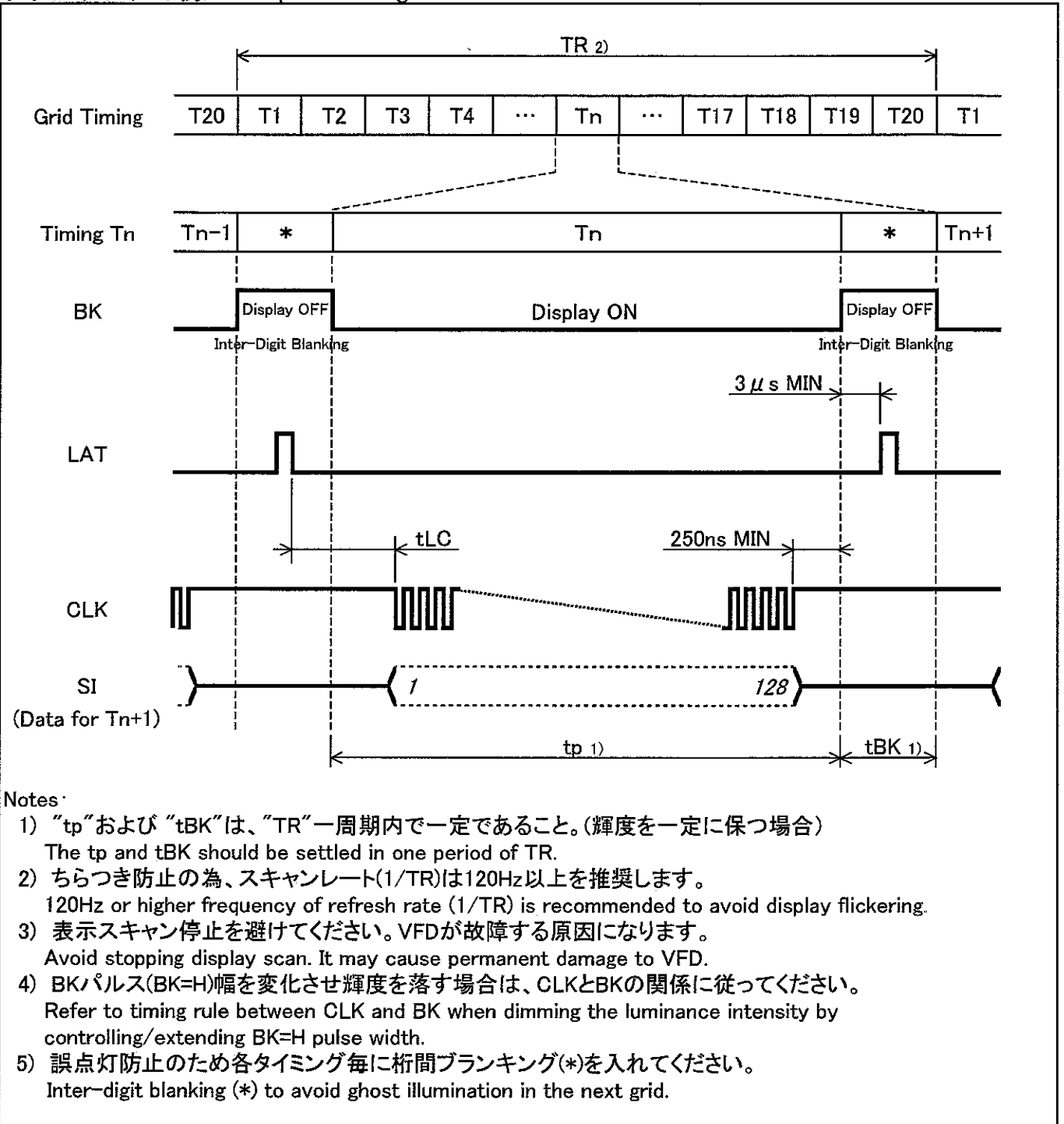
- ・Keep CLK H-level in principle.
- ・Do not change CLK L→H while LAT is H and BK is L.

- 2) LATパルス幅は最小限とし、桁間ブランキング時(BK=H)に入れて下さい。
タイミングチャートをご参照下さい。

LAT pulse (LAT=H) width should be minimize and input while inter-digit blanking (BK=H).

Refer to Timing Chart.

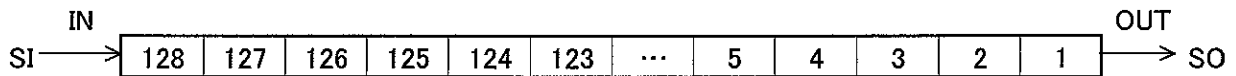
タイミングチャート例 / Example of Timing Chart



シフトレジスタ割り当て順 / Shift Register Assignment

上段 / Upper Row	データ番号 / Data No.
下段 / Lower Row	割り当て / Assignment

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC
17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32
NC	NC	NC	NC	NC	NC	NC	NC	A1	A2	A3	A4	A5	A6	A7	A8
33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48
A9	A10	A11	A12	A13	A14	A15	A16	A17	A18	A19	A20	A21	A22	A23	A24
49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64
A25	A26	A27	A28	A29	A30	A31	A32	A33	A34	A35	A36	A37	A38	A39	A40
65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80
B1	B2	B3	B4	B5	B6	B7	B8	B9	B10	B11	B12	B13	B14	B15	B16
81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96
B17	B18	B19	B20	B21	B22	B23	B24	B25	B26	B27	B28	B29	B30	B31	B32
97	98	99	100	101	102	103	104	105	106	107	108	109	110	111	112
B33	B34	B35	B36	B37	B38	B39	B40	G1	G2	G3	G4	G5	G6	G7	G8
113	114	115	116	117	118	119	120	121	122	123	124	125	126	127	128
G9	G10	G11	G12	G13	G14	G15	G16	G17	G18	G19	G20	NC	NC	NC	NC



Note:

- 1) G1 to G20 = Grid
- A1 to A40 , B1 to B40 = Anode
- NC = No Connection

グリッドおよびアノードデータ条項 / Grid and Anode Data Protocol

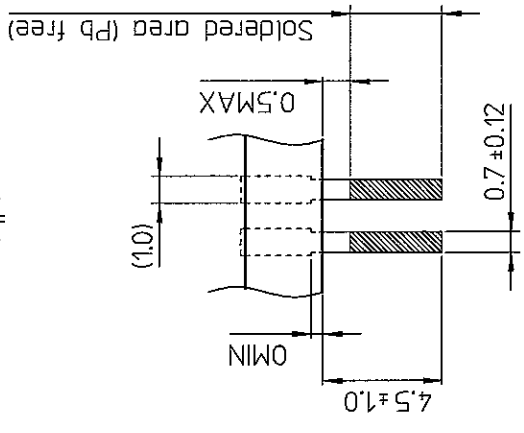
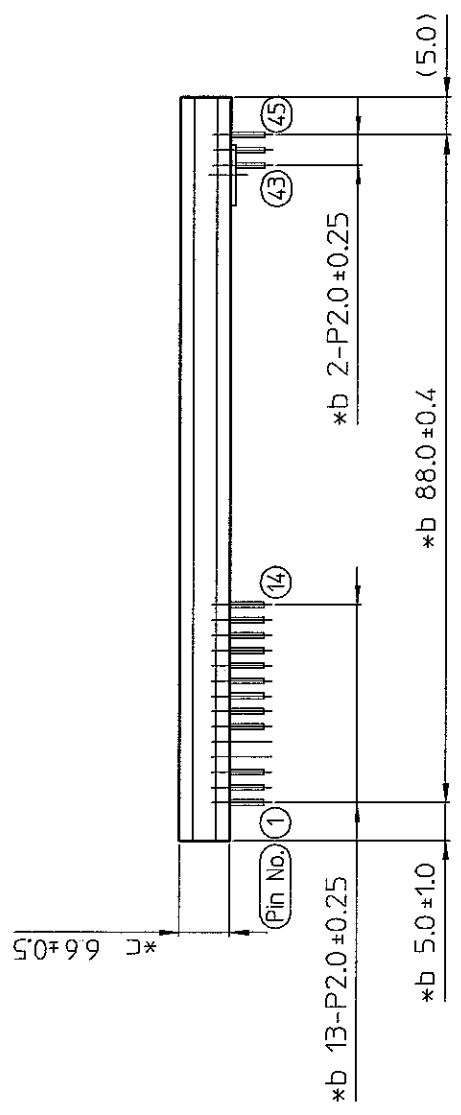
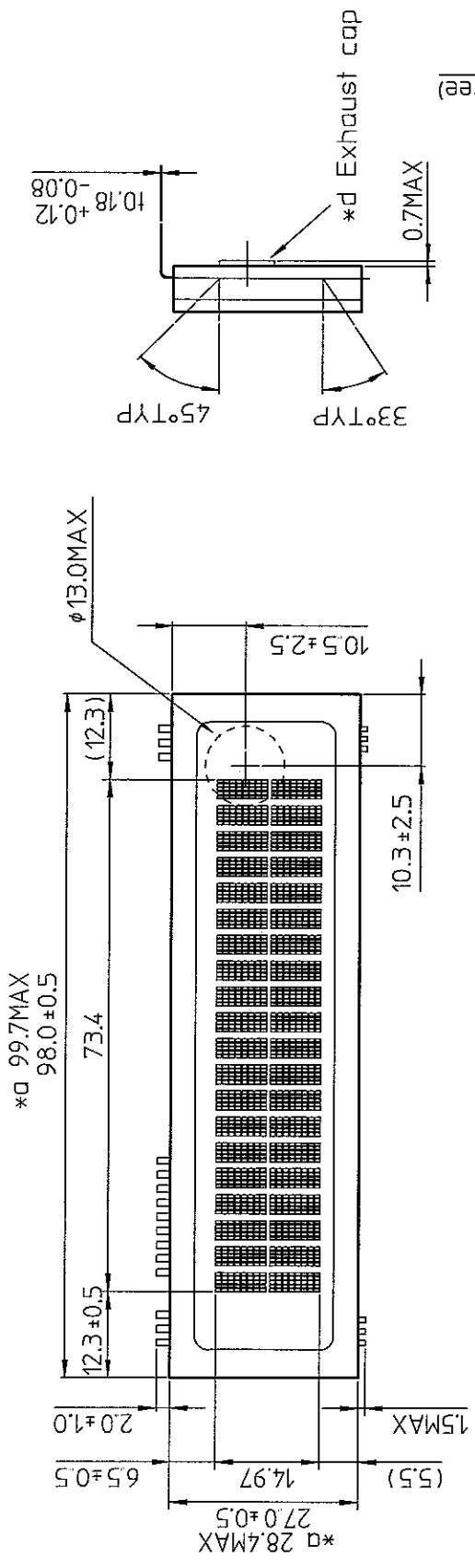
Grid Scan Timing	Grid Select	Grid Data																Anode Data Protocol	
		G1	G2	G3	G4	G5	G6	G7	G8	G9	...	G17	G18	G19	G20				
T1	G1	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	Note 1)
T2	G2	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	Note 1)
T3	G3	L	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	Note 1)
T4	G4	L	L	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	Note 1)
T5	G5	L	L	L	L	H	L	L	L	L	L	L	L	L	L	L	L	L	Note 1)
T6	G6	L	L	L	L	L	H	L	L	L	L	L	L	L	L	L	L	L	Note 1)
T7	G7	L	L	L	L	L	L	H	L	L	L	L	L	L	L	L	L	L	Note 1)
T8	G8	L	L	L	L	L	L	L	L	H	L	L	L	L	L	L	L	L	Note 1)
T9	G9	L	L	L	L	L	L	L	L	L	L	L	H	L	L	L	L	L	Note 1)
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
T17	G17	L	L	L	L	L	L	L	L	L	L	L	L	H	L	L	L	L	Note 1)
T18	G18	L	L	L	L	L	L	L	L	L	L	L	L	L	H	L	L	L	Note 1)
T19	G19	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	L	L	Note 1)
T20	G20	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	Note 1)

Notes:

- 1) タイミング内の全セグメント(A1~A40, B1~B40)を選択できます。
Set data ON(H) or OFF(L) for anode (A1~A40, B1~B40) in the selected Grids in this timing.
- 2) L = Low Level, H = High Level

ピン割り当て / Pin Assignment

Pin No.	1~3	4	5	6	7	8	9	10	11	12	13
Assignment	F(+)	NP	NP	VDD2	Vss	Vss	CLK	BK	LAT	SO	VDD1
Pin No.	14	15~42	43~45								
Assignment	SI	NP	F(-)								



LEAD DETAIL

- *a Included extra frit glass.
- *b Within 3mm from bottom of the glass substrate.
- *c This size does not include the thickness of a lid.
- *d Do not stick double-stick tape on a lid.

Scale : 18:1

