

带有 PowerSnooze™ 和纠错码 (ECC) 的 4 Mbit (512K 字 × 8 位) 静态 RAM

特性

- 高速
 - 访问时间 (t_{AA}) = 10 ns / 15 ns
- 超低功耗深度睡眠 (DS) 电流
 - $I_{DS} = 15 \mu A$
- 活动模式和待机模式低电流
 - 活动电流 $I_{CC} = 38 \text{ mA}$ (典型值)
 - 待机电流 $I_{SB2} = 6 \text{ mA}$ (典型值)
- 工作电压范围广: 1.65 V 到 2.2 V、2.2 V 到 3.6 V、4.5 V 到 5.5 V
- 用于单比特错误纠正的嵌入式纠错码 (ECC)
- 错误指示 (ERR) 引脚用于表示单比特错误的检测和纠正
- 1.0 V 数据保留
- 与 TTL 兼容的输入和输出
- 适用于无铅 44 引脚 TSOP II 和 36 引脚 (400 mil) 模压 SOJ

功能描述

CY7S1049G/CY7S1049GE 是一款结构为 512K 字 × 8 位的高性能 PowerSnooze™ 静态 RAM。该器件具有快速的存取时间 (10 ns) 和独特的超低功耗深度睡眠模式。由于深度睡眠模式电流低到 15 μA ，因此 CY7S1049G/CY7S1049GE 器件能将快速且低功耗的 SRAM 的最佳特性结合到工业标准的封装选项内。该器件

也具有嵌入式 ECC 逻辑的特性，该逻辑可以检测并纠正访问位置中单比特的错误。

必须取消激活深度睡眠输入 (\overline{DS})，以进行正常的操作。

通过将芯片使能 (\overline{CE}) 和写使能 (\overline{WE}) 设置为低电平，并分别在器件数据引脚 (I/O₀ 到 I/O₇) 和地址引脚 (A₀ 到 A₁₈) 上提供数据和地址，可以执行数据写入操作。

通过将芯片使能 (\overline{CE}) 和输出使能 (\overline{OE}) 输入置于低电平，并提供地址线上所需的地址，可以读取数据。可在 I/O 线上 (I/O₀ 通过 I/O₇) 访问读取数据。

深度睡眠输入 (\overline{DS}) 为低电平时，器件将处于低功耗深度睡眠模式。在该模式下，器件被禁止执行正常的操作，并会进入低功耗数据保留模式。通过将深度睡眠输入 (DS) 引脚设置为高电平，可以启动器件。

CY7S1049G 适用于 44 引脚 TSOP II 和 36 引脚模压 SOJ (400 mil)。

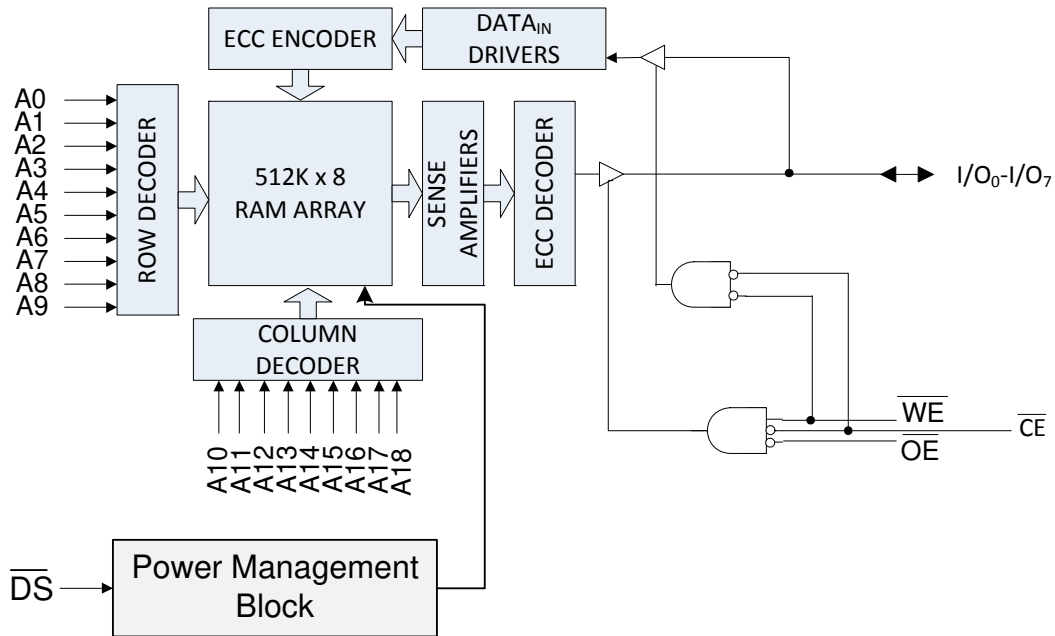
产品系列概述

产品 ^[2]	范围	V_{CC} 范围 (V)	速率 (ns)	功耗							
				工作电流 I_{CC} (mA)		待机电流 I_{SB2} (mA)		深度睡眠电流 (μA)			
				$f = f_{max}$		典型值 ^[3]	最大值	典型值 ^[3]	最大值	典型值 ^[3]	最大值
				典型值 ^[3]	最大值						
CY7S1049G(E)18	工业级	1.65 V 到 2.2 V	15	—	40	6	8	—	15		
CY7S1049G(E)30		2.2 V 到 3.6 V	10	38	45						
CY7S1049G(E)		4.5 到 5.5 V	10	38	45						

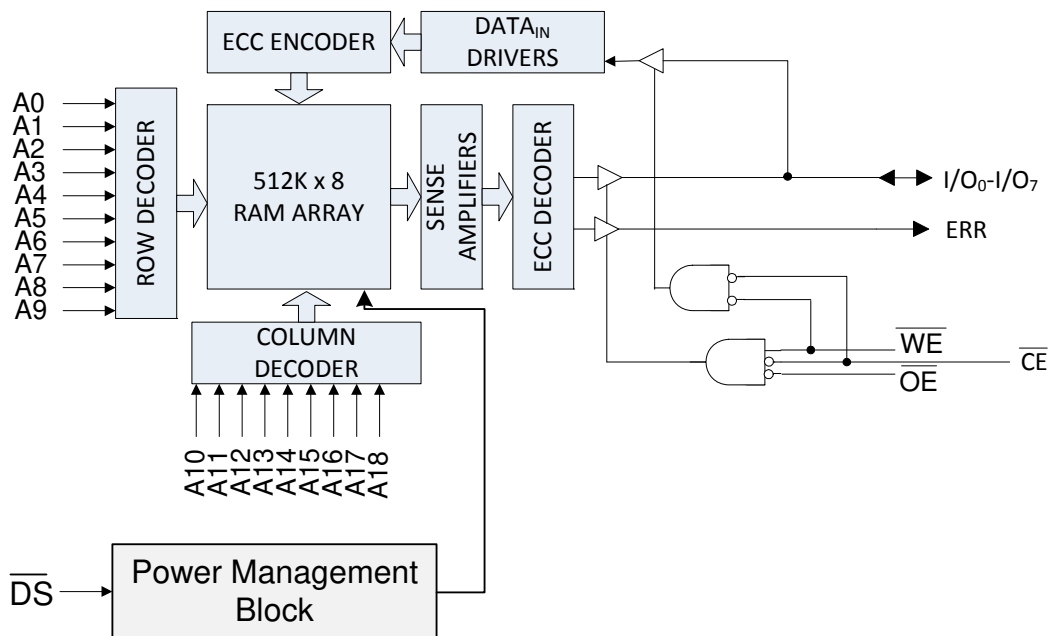
注释:

1. 检测到错误时，该器件不支持自动回写功能。
2. 只有器件的订购代码中具有 ERR 选项 “E” 时，才能使用 ERR 引脚。更多信息，请查阅订购信息。
3. 典型值仅供参考，并未得以保证，也未经过测试。典型值的适用条件为： $V_{CC} = 1.8 \text{ V}$ (对于 V_{CC} 范围为 1.65 V 到 2.2 V)， $V_{CC} = 3 \text{ V}$ (对于 V_{CC} 范围为 2.2 V 到 3.6 V)， $V_{CC} = 5 \text{ V}$ (对于 V_{CC} 范围为 4.5 V 到 5.5 V)， $T_A = 25^\circ C$ 。

逻辑框图 — **CY7S1049G**



逻辑框图 — **CY7S1049GE**



目录

引脚配置	4	订购信息	17
最大额定值	6	订购代码定义	17
工作范围	6	封装图	18
直流电气特性	6	缩略语	19
电容	7	文档规范	19
热电阻	7	测量单位	19
交流测试负载和波形	8	文档修订记录	20
数据保留特性	9	销售、解决方案和法律信息	21
数据保留波形	9	全球销售和设计支持	21
深度睡眠模式的特性	10	产品	21
交流开关特性	11	PSoC® 解决方案	21
开关波形	12	赛普拉斯开发者社区	21
真值表	16	技术支持	21
ERR 输出 — CY7S1049GE	16		

引脚配置

图 1. 无 ERR 的 44-TSOP II 引脚分布^[4]

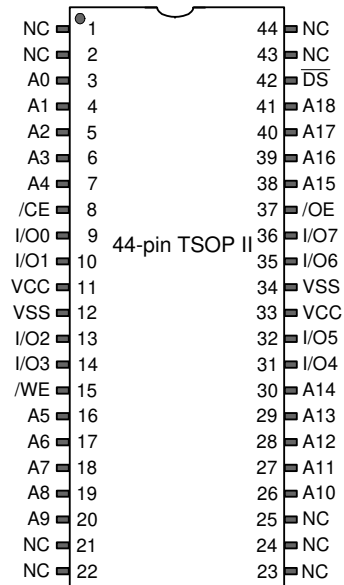
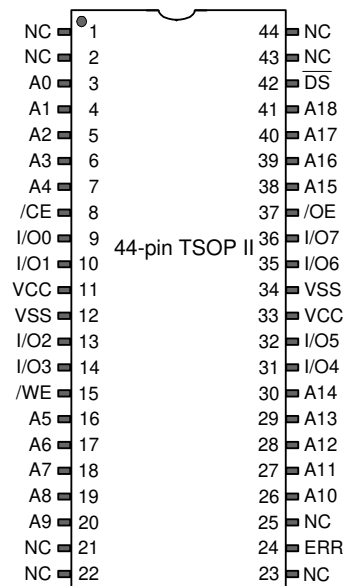


图 2. 带 ERR 的 44-TSOP II 引脚分布^[4、5]



注释:

4. NC 引脚在内部并没有连接到芯片。
5. ERR 是一个输出引脚。

引脚配置 (续)

图 3. 无 ERR 的 36-SOJ 引脚分布^[6]

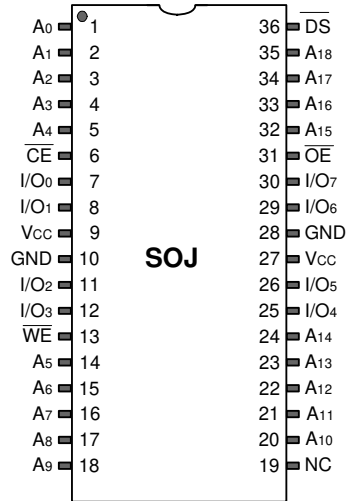
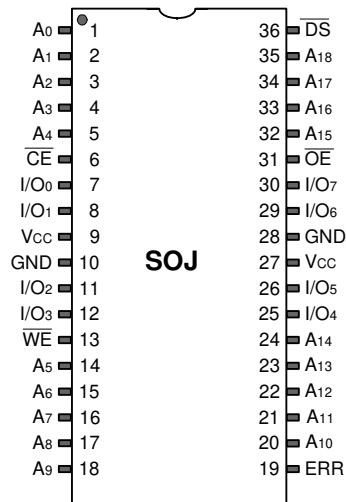


图 4. 带 ERR 的 36-SOJ 引脚分布^[6、7]



注释:

- 6. NC 引脚在内部并没有连接到芯片。
- 7. ERR 是一个输出引脚。

最大额定值

超过最大额定值可能会影响器件的使用寿命。这些用户指南未经过测试。

存储温度 -65 °C 到 +150 °C

通电状态下的环境温度 -55 °C 到 +125 °C

V_{CC} 相对于 GND 的供电

电压范围为 [8] -0.5 V 到 $V_{CC} + 0.5 V$

应用于高阻态下的输出

的直流电压 [8] -0.5 V 到 $V_{CC} + 0.5 V$

直流输入电压 [8] -0.5 V 到 $V_{CC} + 0.5 V$

输出电流（低电平） 20 mA

静电放电电压

（MIL-STD-883，方法 3015） > 2001 V

栓锁电流 > 140 mA

工作范围

范围	环境温度	V_{CC}
工业级	-40°C 到 +85°C	1.65 V 到 2.2 V、 2.2 V 到 3.6 V、 4.5 V 到 5.5 V

直流电气特性

工作温度范围为 -40°C 到 +85°C

参数	说明	测试条件	10 ns/ 15 ns			单位	
			最小值	典型值 [9]	最大值		
V_{OH}	输出高电压	1.65 V 到 2.2 V	$V_{CC} =$ 最小值, $I_{OH} = -0.1$ mA	1.4	-	-	V
		2.2 V 到 2.7 V	$V_{CC} =$ 最小值; $I_{OH} = -1.0$ mA	2	-	-	
		2.7 V 到 3.6 V	$V_{CC} =$ 最小值, $I_{OH} = -4.0$ mA	2.2	-	-	
		4.5 V 到 5.5 V	$V_{CC} =$ 最小值, $I_{OH} = -4.0$ mA	2.4	-	-	
		4.5 V 到 5.5 V	$V_{CC} =$ 最小值, $I_{OH} = -0.1$ mA	$V_{CC} - 0.5$ [10]	-	-	
V_{OL}	输出低电压	1.65 V 到 2.2 V	$V_{CC} =$ 最小值, $I_{OL} = 0.1$ mA	-	-	0.2	V
		2.2 V 到 2.7 V	$V_{CC} =$ 最小值, $I_{OL} = 2$ mA	-	-	0.4	
		2.7 V 到 3.6 V	$V_{CC} =$ 最小值, $I_{OL} = 8$ mA	-	-	0.4	
		4.5 V 到 5.5 V	$V_{CC} =$ 最小值, $I_{OL} = 8$ mA	-	-	0.4	
V_{IH} [8, 11]	输入高电平电压	1.65 V 到 2.2 V	-	1.4	-	$V_{CC} + 0.2$	V
		2.2 V 到 2.7 V	-	2	-	$V_{CC} + 0.3$	
		2.7 V 到 3.6 V	-	2	-	$V_{CC} + 0.3$	
		4.5 V 到 5.5 V	-	2.2	-	$V_{CC} + 0.5$	
V_{IL} [8, 11]	输入低电平电压	1.65 V 到 2.2 V	-	-0.2	-	0.4	V
		2.2 V 到 2.7 V	-	-0.3	-	0.6	
		2.7 V 到 3.6 V	-	-0.3	-	0.8	
		4.5 V 到 5.5 V	-	-0.5	-	0.8	
I_{IX}	输入漏电流	$GND \leq V_{IN} \leq V_{CC}$	-1	-	+1	μA	
I_{OZ}	输出漏电流	$GND \leq V_{OUT} \leq V_{CC}$, 输出处于禁用状态	-1	-	+1	μA	
I_{CC}	V_{CC} 工作供电电流	$V_{CC} =$ 最大值, $I_{OUT} = 0$ mA, CMOS 电平	$f = 100$ MHz	-	38	45	mA
			$f = 66.7$ MHz	-	-	40	
I_{SB1}	待机电流 — TTL 输入	$V_{CC} =$ 最大值, $\overline{CE} \geq V_{IH}$, $V_{IN} \geq V_{IH}$ 或 $V_{IN} \leq V_{IL}$, $f = f_{MAX}$	-	-	15	mA	

注释:

8. 对于宽度小于 2 ns 的脉冲, V_{IL} (最小值) = -2.0 V 和 V_{IH} (最大值) = $V_{CC} + 2 V$ 。

9. 典型值仅供参考, 并未得以保证, 也未经过测试。典型值的适用条件为: $V_{CC} = 1.8 V$ (对于 V_{CC} 范围为 1.65 V 到 2.2 V), $V_{CC} = 3 V$ (对于 V_{CC} 范围为 2.2 V 到 3.6 V), $V_{CC} = 5 V$ (对于 V_{CC} 范围为 4.5 V 到 5.5 V), $T_A = 25^\circ C$ 。

10. 该参数由设计保证, 但未经过测试。

11. 对于 DS 引脚, V_{IH} (最小值) = $V_{CC} - 0.2 V$, 并且 V_{IL} (最大值) = 0.2 V。

直流电气特性 (续)

工作温度范围为 -40°C 到 +85°C

参数	说明	测试条件	10 ns/ 15 ns			单位
			最小值	典型值 ^[9]	最大值	
I_{SB2}	待机电流 — CMOS 输入	$V_{CC} = \text{最大值}$ 、 $\overline{CE} \geq V_{CC} - 0.2 \text{ V}$ 、 $\overline{DS} \geq V_{CC} - 0.2 \text{ V}$ 、 $V_{IN} \geq V_{CC} - 0.2 \text{ V}$ 或 $V_{IN} \leq 0.2 \text{ V}$ 、 $f = 0$	-	6	8	mA
I_{DS}	深度睡眠电流	$V_{CC} = \text{最大值}$ 、 $\overline{CE} \geq V_{CC} - 0.2 \text{ V}$ 、 $\overline{DS} \leq 0.2 \text{ V}$ 、 $V_{IN} \geq V_{CC} - 0.2 \text{ V}$ 或 $V_{IN} \leq 0.2 \text{ V}$ 、 $f = 0$	-	-	15	μA

电容

参数 ^[12]	说明	测试条件	所有封装	单位
C_{IN}	输入电容	$T_A = 25^\circ\text{C}$ 、 $f = 1 \text{ MHz}$ 、 $V_{CC(\text{typ})}$	10	pF
C_{OUT}	I/O 电容		10	pF

热电阻

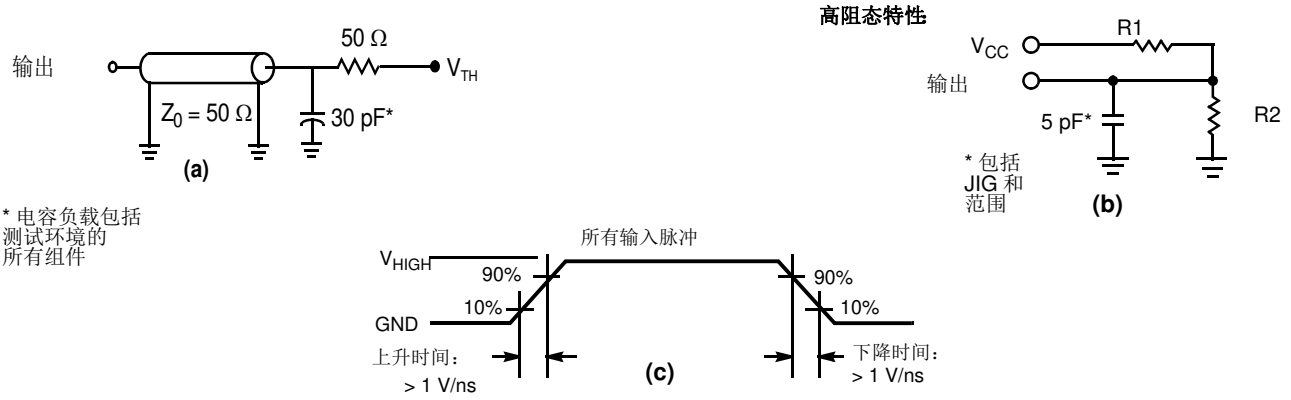
参数 ^[12]	说明	测试条件	36-SOJ 封装	44-TSOP II 封装	单位
Θ_{JA}	热电阻 (结至环境)	在无风环境中, 被焊接到 3 × 4.5 英寸的四层印刷电路板	59.52	68.85	$^\circ\text{C/W}$
Θ_{JC}	热电阻 (结至外壳)		31.48	15.97	$^\circ\text{C/W}$

注释:

12. 在发生可能影响到这些参数的任何设计或处理流程更改之前和之后进行测试。

交流测试负载和波形

图 5. 交流测试负载和波形^[13]



* 电容负载包括测试环境的所有组件

参数	1.8 V	3.0 V	5.0 V	单位
R1	1667	317	317	Ω
R2	1538	351	351	Ω
V_{TH}	$V_{CC}/2$	1.5	1.5	V
V_{HIGH}	1.8	3.0	3.0	V

注释:

13. 完整器件交流操作中假设从 0 到 $V_{CC(\min)}$ 的升降时间为 100 μs 或 V_{CC} 稳定后等待时间为 100 μs 。

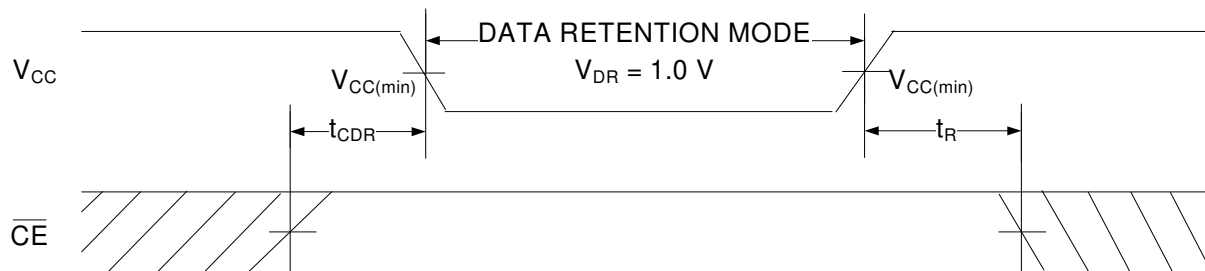
数据保留特性

工作温度范围为 -40°C 到 $+85^{\circ}\text{C}$

参数	说明	条件 ^[14]	最小值	最大值	单位
V_{DR}	数据保留的 V_{CC}	—	1.0	—	V
I_{CCDR}	数据保留电流	$V_{\text{CC}} = V_{\text{DR}}$ 、 $\overline{\text{CE}} \geq V_{\text{CC}} - 0.2\text{ V}$ 、 $\overline{\text{DS}} \geq V_{\text{CC}} - 0.2\text{ V}$ 、 $V_{\text{IN}} \geq V_{\text{CC}} - 0.2\text{ V}$ 或 $V_{\text{IN}} \leq 0.2\text{ V}$	—	8	mA
$t_{\text{CDR}}^{\text{[15]}}$	取消选择芯片到数据保留的时间	—	0	—	ns
$t_{\text{R}}^{\text{[15、16]}}$	操作恢复的时间	$2.2\text{ V} < V_{\text{CC}} \leq 5.5\text{ V}$	10	—	ns
		$V_{\text{CC}} \leq 2.2\text{ V}$	15	—	ns

数据保留波形

图 6. 数据保留波形^[16]



注释:

14. 在数据保留模式下， $\overline{\text{DS}}$ 信号必须为高电平。

15. 这些参数是由设计保证。

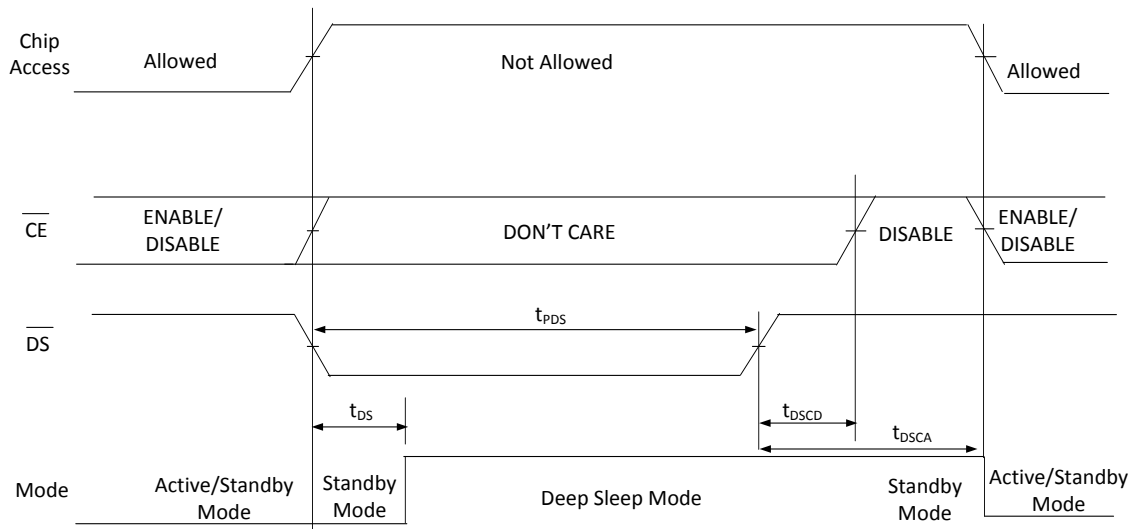
16. 完整的器件操作要求线性 V_{CC} 从 V_{DR} 到 $V_{\text{CC}(\text{min})}$ 的升降时间 $\geq 100\ \mu\text{s}$ ，或保持为 $V_{\text{CC}(\text{min})}$ 的时间 $\geq 100\ \mu\text{s}$ 。

深度睡眠模式的特性

工作温度范围为 -40°C 到 $+85^{\circ}\text{C}$

参数	说明	条件	最小值	最大值	单位
I_{DS}	深度睡眠模式下的电流	$V_{CC} = V_{CC}$ (最大值)、 $\overline{DS} \leq 0.2\text{ V}$ 、 $V_{IN} \geq V_{CC} - 0.2\text{ V}$ 或 $V_{IN} \leq 0.2\text{ V}$	-	15	μA
$t_{PDS}^{[17]}$	\overline{DS} 是低电平的最短时间, 用于使器件成功退出深度睡眠模式	-	100	-	ns
$t_{DS}^{[18]}$	激活 \overline{DS} 到深度睡眠模式转换的时间	-	-	1	ms
$t_{DSCD}^{[17]}$	取消激活 \overline{DS} 到芯片禁用的时间	如果 $t_{PDS} \geq t_{PDS(\text{min})}$	-	100	μs
		如果 $t_{PDS} < t_{PDS(\text{min})}$	-	0	μs
t_{DSCA}	取消激活 \overline{DS} 到芯片访问的时间 (活动 / 待机)	如果 $t_{PDS} \geq t_{PDS(\text{min})}$	300	-	μs
		如果 $t_{PDS} < t_{PDS(\text{min})}$			

图 7. 活动、待机和深度睡眠操作模式



注释:

17. 在取消激活 \overline{DS} 后的 t_{DSCD} 时间内, 必须将 \overline{CE} 置于高电平, 以避免 SRAM 数据失去。

18. 激活 \overline{DS} 信号后, 器件最长需要 t_{DS} 的时间来稳定到深度睡眠电流 I_{DS} 。在该期间内, 必须将 \overline{DS} 信号置于逻辑低电平, 从而使器件保持深度睡眠模式。

交流开关特性

工作温度范围为 -40°C 到 +85°C

参数 ^[19]	说明	10 ns		15 ns		单位
		最小值	最大值	最小值	最大值	
读周期						
t_{RC}	读周期时间	10	–	15	–	ns
t_{AA}	地址到数据有效的时间	–	10	–	15	ns
t_{OHA}	地址更改后的数据保持时间	3	–	3	–	ns
t_{ACE}	\overline{CE} 为低电平到数据有效的时间	–	10	–	15	ns
t_{DOE}	\overline{OE} 为低电平到数据有效的时间	–	4.5	–	8	ns
t_{LZOE}	\overline{OE} 为低电平到低阻态的时间 ^[20、21、22]	0	–	0	–	ns
t_{HZOE}	\overline{OE} 为高电平到高阻态的时间 ^[20、21、22]	–	5	–	8	ns
t_{LZCE}	\overline{CE} 为低电平到低阻态的时间 ^[20、21、22]	3	–	3	–	ns
t_{HZCE}	\overline{CE} 为高电平到高阻态的时间 ^[20、21、22]	–	5	–	8	ns
t_{PU}	\overline{CE} 为低电平到上电的时间 ^[22]	0	–	0	–	ns
t_{PD}	\overline{CE} 为高电平到断电的时间 ^[22]	–	10	–	15	ns
写周期^[23、24]						
t_{WC}	写周期的时间	10	–	15	–	ns
t_{SCE}	\overline{CE} 为低电平到写周期结束的时间	7	–	12	–	ns
t_{AW}	地址设置到写周期结束的时间	7	–	12	–	ns
t_{HA}	写周期结束后地址保持的时间	0	–	0	–	ns
t_{SA}	地址设置到写周期开始的时间	0	–	0	–	ns
t_{PWE}	\overline{WE} 脉冲宽度	7	–	12	–	ns
t_{SD}	数据设置到写周期结束的时间	5	–	8	–	ns
t_{HD}	写周期结束后数据保持的时间	0	–	0	–	ns
t_{LZWE}	\overline{WE} 为高电平到低阻态的时间 ^[20、21、22]	3	–	3	–	ns
t_{HZWE}	\overline{WE} 为低电平到高阻态的时间 ^[20、21、22]	–	5	–	8	ns

注释:

- 测试条件假设如下: 信号跃变时间 (上升/下降) 不大于 3 ns, 时序参考电平为 1.5 V (对于 $V_{CC} \geq 3V$) 和 $V_{CC}/2$ (对于 $V_{CC} < 3V$), 输入脉冲电平范围为 0 到 3 V (对于 $V_{CC} \geq 3V$) 和 0 到 V_{CC} (对于 $V_{CC} < 3V$)。除非另有说明, 否则读周期的测试条件使用第 8 页上的图 5 中 (a) 部分所显示的输出加载。
- t_{HZOE} 、 t_{HZCE} 、 t_{HZWE} 、 t_{LZOE} 、 t_{LZCE} 以及 t_{LZWE} 的负载电容均为 5 pF, 如第 8 页上的图 5 中的 (b) 部分所示。跃变在稳定状态电压 ± 200 mV 的条件下测量。
- 在任一温度和电压范围条件下, 对于所有器件, t_{HZCE} 低于 t_{LZCE} 、 t_{HZOE} 低于 t_{LZOE} 以及 t_{HZWE} 低于 t_{LZWE} 。
- 这些参数是由设计保证。
- 存储器的写操作在 $\overline{WE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ 并且 $\overline{DS} = V_{IH}$ 时发生。 \overline{WE} 和 \overline{CE} 信号需要为低电平, 并且 \overline{DS} 需要为高电平以启动写操作, 而在 \overline{WE} 或 \overline{CE} 为高电平或 \overline{DS} 为低电平时均可终止该操作。
终止写入操作的信号边沿作为输入数据建立和保持时序的参考源。
- 第二个写周期 (\overline{WE} 被控制, \overline{OE} 为低电平) 的最小写入脉冲宽度为 t_{HZWE} 和 t_{SD} 的总和。

开关波形

图 8. CY7S1049G 的第一个读周期（地址转换控制） [25、26、27]

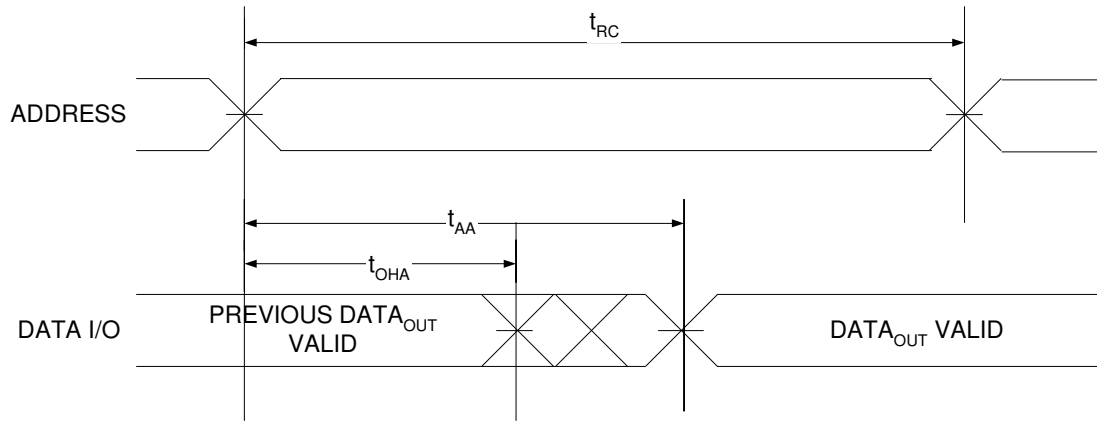
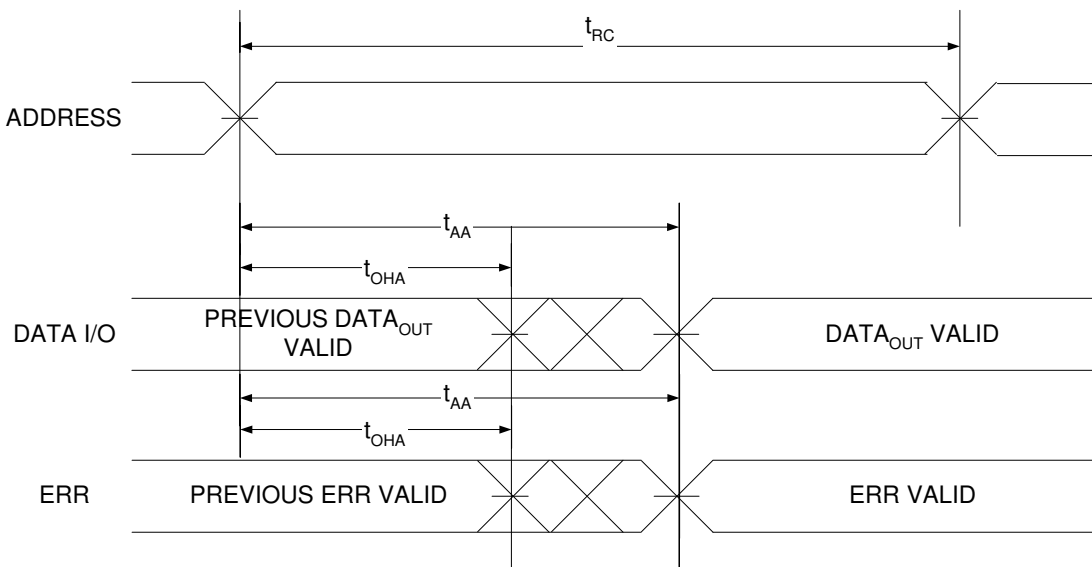


图 9. CY7S1041GE 的第二个读周期（地址转换控制） [25、26、27]



注释:

- 25. 器件持续被选择。 $\overline{OE} = V_{IL}$, $\overline{CE} = V_{IL}$ 。
- 26. 在读周期中， \overline{WE} 为高电平。
- 27. 进行芯片访问时， \overline{DS} 为高电平。

开关波形 (续)

图 11. 第一个写周期 (\overline{CE} 被控制) [31、32、33]

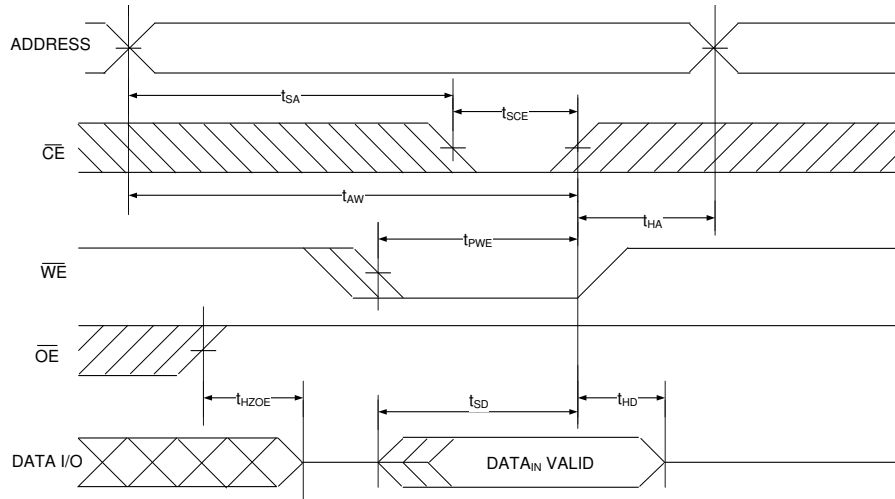
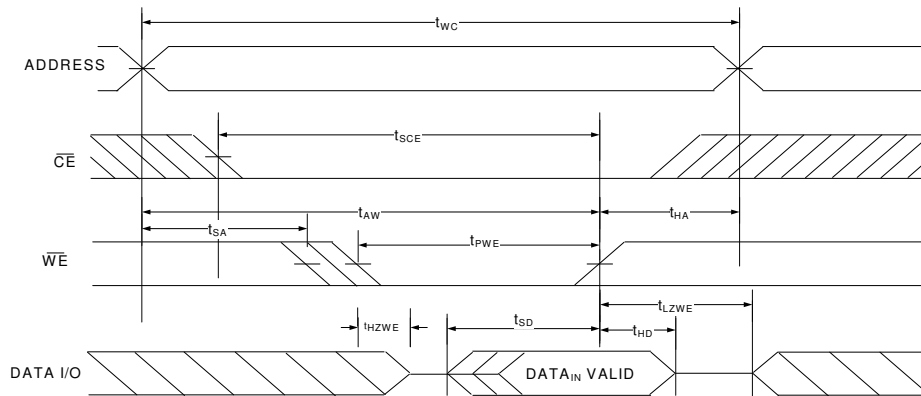


图 12. 第二个写周期 (\overline{WE} 被控制, \overline{OE} 为低电平) [31、32、33、34]



注释:

31. 存储器的写操作在 $\overline{WE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ 并且 $\overline{DS} = V_{IH}$ 时发生。 \overline{WE} 和 \overline{CE} 信号需要为低电平, 并且 \overline{DS} 需要为高电平以启动写操作, 而在 \overline{WE} 或 \overline{CE} 为高电平或 \overline{DS} 为低电平时均可终止该操作。

终止写入操作的信号边沿作为输入数据建立和保持时序的参考源。

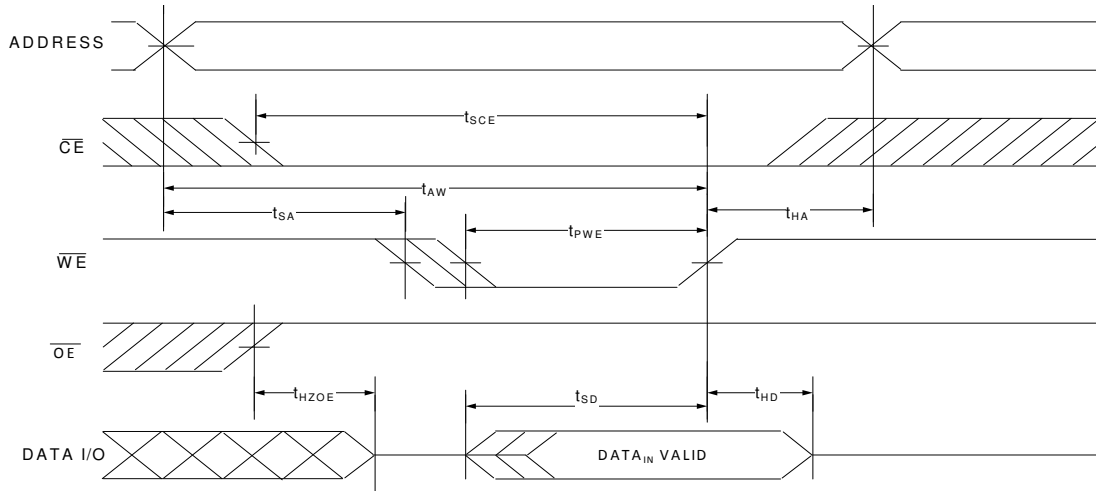
32. $\overline{CE} = V_{IH}$ 或 $\overline{OE} = V_{IH}$ 时, 数据 I/O 将处于高阻态。

33. 进行芯片访问时, 必须将 \overline{DS} 置于高电平。

34. 第二个写周期 (\overline{WE} 被控制, \overline{OE} 为低电平) 的最小写入脉冲宽度应为 t_{HZWE} 和 t_{SD} 的总和。

开关波形 (续)

图 13. 第三个写周期 (\overline{WE} 被控制) [35、36、37]



注释 38

注释:

35. 存储器的写操作在 $\overline{WE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ 并且 $\overline{DS} = V_{IH}$ 时发生。 \overline{WE} 和 \overline{CE} 信号需要为低电平, 并且 \overline{DS} 需要为高电平以启动写操作, 而在 \overline{WE} 或 \overline{CE} 为高电平或 \overline{DS} 为低电平时均可终止该操作。
终止写入操作的信号边沿作为输入数据建立和保持时序的参考源。
36. $\overline{CE} = V_{IH}$ 或 $\overline{OE} = V_{IH}$ 或 $\overline{DS} = V_{IL}$ 时, 数据 I/O 将处于高阻态。
37. 进行芯片访问时, 必须将 \overline{DS} 置于高电平。
38. 在该过程中, I/O 处于输出状态。请勿采用输入信号。

真值表

\overline{DS}	\overline{CE}	\overline{OE}	\overline{WE}	I/O ₀ -I/O ₇	模式	电源
H	H	X ^[39]	X ^[39]	高阻态	待机	待机 (I _{SB})
H	L	L	H	数据输出	读取所有位	活动 (I _{CC})
H	L	X	L	数据输入	写入所有位	活动 (I _{CC})
H	L	H	H	高阻	选中, 输出被禁用	活动 (I _{CC})
L ^[40]	X	X	X	高阻	深度睡眠	深度睡眠超低功耗 (I _{DS})

ERR 输出 — CY7S1049GE

输出 ^[41]	模式
0	读操作, 存储数据中没有单比特错误
1	读操作, 检测到并纠正了单比特错误
高阻态	取消选择器件 / 禁用输出 / 写操作

注释:

39. 这些引脚上的输入电压电平应为 V_{IH} 或 V_{IL}。

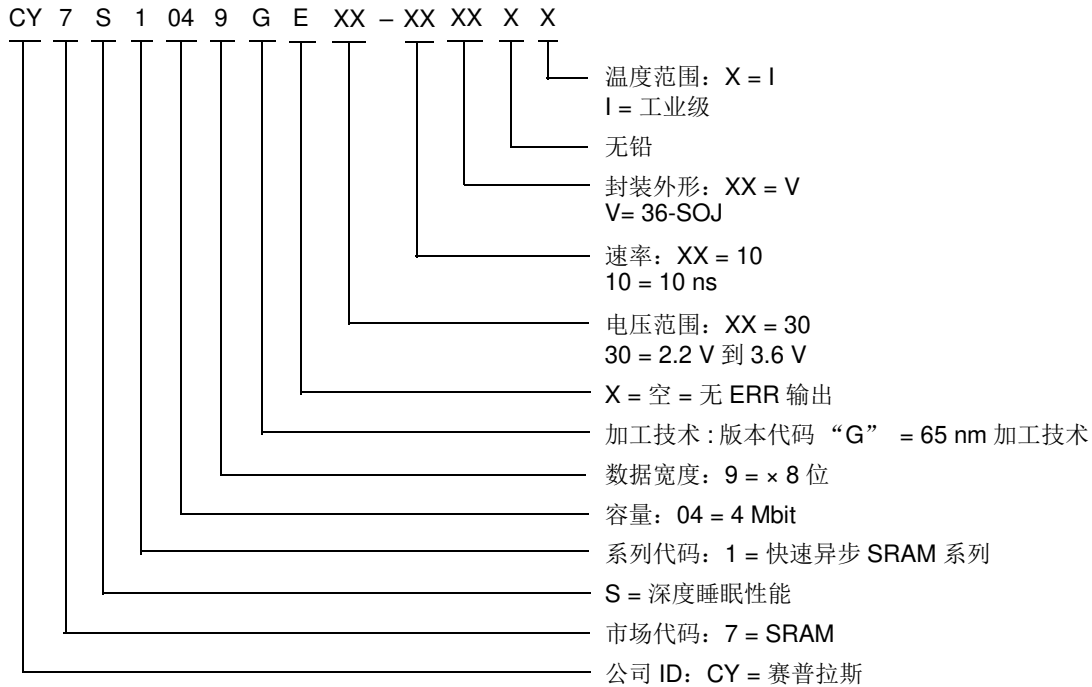
40. DS 上的 V_{IL} 必须 ≤ 0.2 V。

41. ERR 是输出引脚。在不使用情况下, 该引脚应处于悬空状态。

订购信息

速率 (ns)	电压范围	订购代码	封装图	封装类型 (所有封装均为无铅)	工作范围
10	2.2 V–3.6 V	CY7S1049G30-10VXI	51-85090	36-SOJ	工业级

订购代码定义



封装图

图 14. 36-SOJ V36.4 (模压) 封装外形, 51-85090

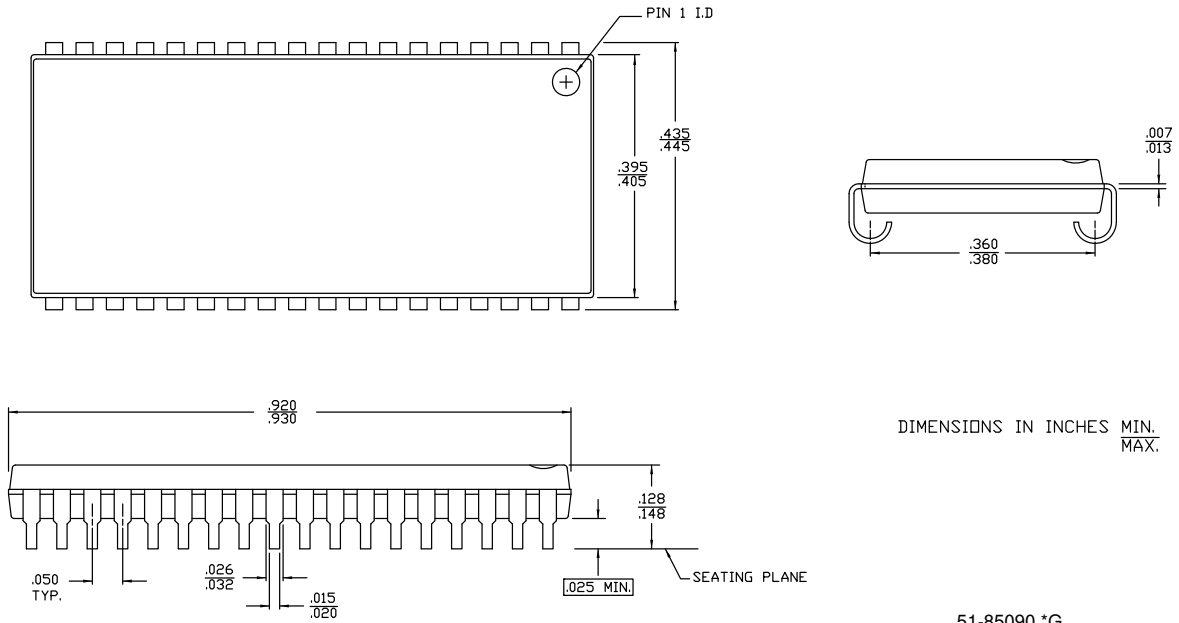
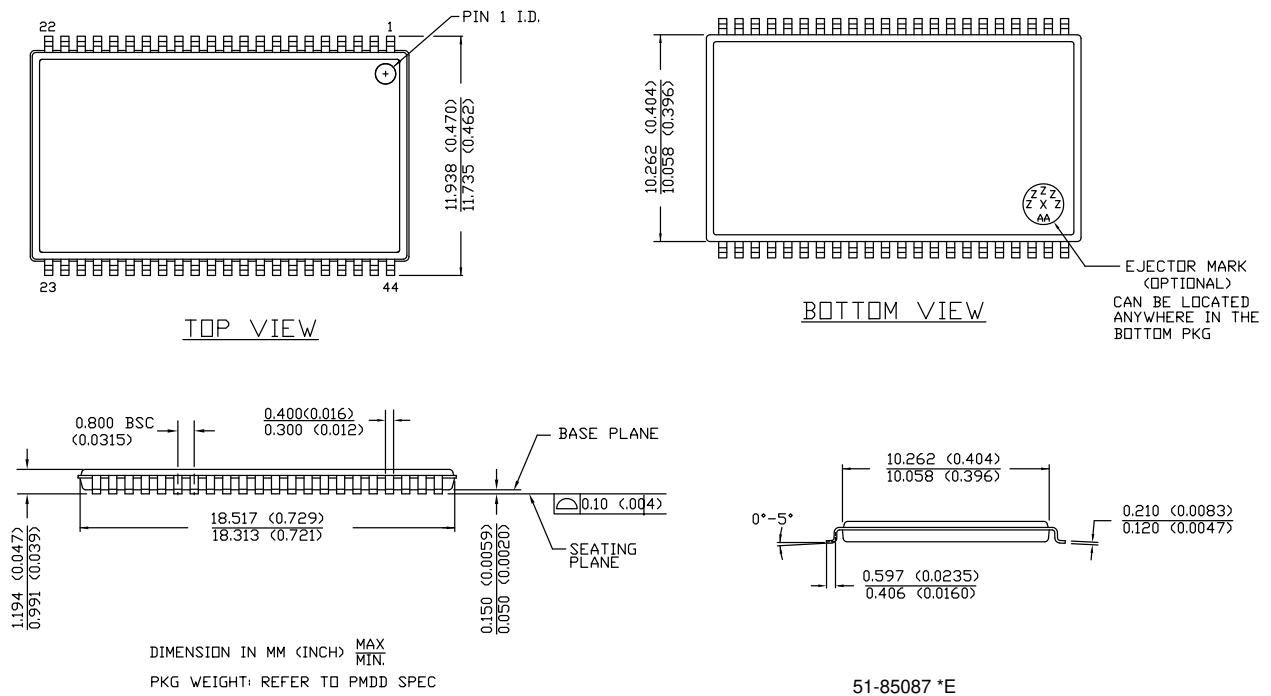


图 15. 44-TSOP II 封装外形, 51-85087



缩略语

缩略语	说明
CE	芯片使能
CMOS	互补金属氧化物半导体
I/O	输入 / 输出
\overline{OE}	输出使能
SOJ	外形小的 J 形引线
SRAM	静态随机存取存储器
TSOP	薄小外型封装
TTL	晶体管 - 晶体管逻辑
\overline{WE}	写入使能
ECC	写入使能

文档规范

测量单位

符号	测量单位
°C	摄氏度
MHz	兆赫兹
μA	微安
μs	微秒
mA	毫安
mm	毫米
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录

文档标题: **CY7S1049G/CY7S1049GE, 带有 PowerSnooze™ 和纠错码 (ECC) 的 4 Mbit (512K 字 × 8 位) 静态 RAM**
文档编号: **001-97585**

版本	ECN 编号	变更者	提交日期	变更说明
**	4769233	RZZH	06/10/2015	本档版本号为 Rev**, 译自英文版 001-95414 Rev**。
*A	5125774	RZZH	02/15/2016	本档版本号为 Rev*A, 译自英文版 001-95414 Rev*B。

销售、解决方案和法律信息

全球销售和 design 支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问赛普拉斯所在地。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 / 射频	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [训练](#)

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司，2015-2016。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做通知的情况下对此处所述材料进行更改的权利。赛普拉斯不在此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用于赛普拉斯软件许可协议的限制。