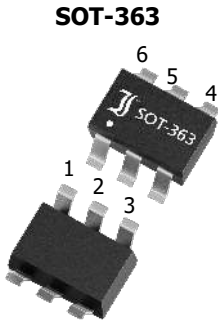
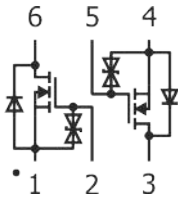


MMFTN6190KDW		I_D = 1 A	V_{DSS} = 30 V
Dual N-Channel Enhancement Mode FET		R_{DS(on)} < 280 mΩ	P_{tot} = 400 mW
N-Kanal Doppel-FET – Anreicherungstyp		T_{jmax} = 150°C	V_{GSS} = ± 2 kV

Version 2022-10-18



SPICE Model & STEP File ¹⁾



Marking Code
Z69N

HS Code 85412100

Typical Applications

- Power Management
- Motor Control
- Driver Circuits
- Commercial / industrial grade
- Suffix -Q: AEC-Q101 compliant ¹⁾
- Suffix -AQ: in AEC-Q101 qualification ¹⁾

Features

- Dual MOSFET
- ESD protected Gate
- Low threshold voltage
- Fast switching times
- Compliant to RoHS (w/o exempt.), REACH, Conflict Minerals ¹⁾

Mechanical Data ¹⁾

- Taped and reeled
- Weight approx.
- Case material
- Solder & assembly conditions

Halogen FREE



- 3000 / 7"
- 0.01 g
- UL 94V-0
- 260°C/10s
- MSL = 3

Typische Anwendungen

- Leistungsmanagement
- Antriebsregler
- Treiberstufen
- Standardausführung
- Suffix -Q: AEC-Q101 konform ¹⁾
- Suffix -AQ: in AEC-Q101 Qualifikation ¹⁾

Besonderheiten

- Doppel-MOSFET
- ESD geschütztes Gate
- Niedrige Schwellspannung
- Schnelle Schaltzeiten
- Konform zu RoHS (ohne Ausn.), REACH, Konfliktmineralien ¹⁾

Mechanische Daten ¹⁾

- Gegurtet auf Rolle
- Gewicht ca.
- Gehäusematerial
- Löt- und Einbaubedingungen

Maximum ratings ¹⁾

Grenzwerte ¹⁾

		MMFTN6190KDW	
Drain-Source-voltage Drain-Source-Spannung		V _{DSS}	30 V
Gate-Source-voltage Gate-Source-Spannung	DC ESD	V _{GSS}	± 20 V ± 2 kV
Power dissipation Verlustleistung		P _{tot}	320 mW ²⁾ 400 mW ³⁾
Drain current continous Drainstrom dauernd	T _A = 25°C T _A = 70°C	I _D	1 A ⁴⁾ 0.9 mA ⁴⁾
Peak Drain current Drain-Spitzenstrom	tp < 10 μs	I _{DM}	9.6 A
Junction temperature – Sperrschichttemperatur Storage temperature – Lagerungstemperatur		T _j T _s	-55...+150°C -55...+150°C

1 Please note the [detailed information on our website](#) or at the beginning of the data book
Bitte beachten Sie die [detaillierten Hinweise auf unserer Internetseite](#) bzw. am Anfang des Datenbuches
1 T_A = 25°C, unless otherwise specified – T_A = 25°C, wenn nicht anders angegeben
2 Mounted on P.C. board with 3 mm² copper pad per terminal – Montage auf Leiterplatte mit 3 mm² Lötpad je Anschluss
3 Mounted on P.C. board with 625 mm² copper pad per terminal – Montage auf Leiterplatte mit 625 mm² Lötpad je Anschluss

Characteristics (static)
Kennwerte (statisch)

		$T_j = 25^\circ\text{C}$	Min.	Typ.	Max.
Drain-Source breakdown voltage – Drain-Source-Durchbruchspannung $I_D = 1\text{ mA}$ $V_{GS} = 0\text{ V (short)}$		$V_{(BR)DSS}$	30 V	–	–
Drain-Source leakage current – Drain-Source Leckstrom $V_{DS} = 30\text{ V}$ $V_{GS} = 0\text{ V (short)}$		I_{DSS}	–	–	1 μA
Gate-Body leakage current – Gate-Substrat Leckstrom $V_{GS} = \pm 20\text{ V}$ $V_{DS} = 0\text{ V (short)}$		I_{GSS}	–	–	$\pm 10\ \mu\text{A}$
Gate-Source threshold voltage – Gate-Source Schwellspannung $V_{GS} = V_{DS}$ $I_D = 250\ \mu\text{A}$		$V_{GS(th)}$	1 V	1.5 V	2.8 V
Drain-Source on-state resistance – Drain-Source Einschaltwiderstand $V_{GS} = 10\text{ V}$ $I_D = 1.3\text{ A}$ $V_{GS} = 4.5\text{ V}$ $I_D = 290\text{ mA}$		$R_{DS(on)}$	–	245 m Ω 325 m Ω	280 m Ω 450 m Ω

Characteristics (dynamic)
Kennwerte (dynamisch)

		$T_j = 25^\circ\text{C}$	Min.	Typ.	Max.
Input Capacitance – Eingangskapazität $V_{DS} = 20\text{ V}$ $V_{GS} = 0\text{ V}$ $f = 1\text{ MHz}$		C_{iss}	–	87 pF	–
Output Capacitance – Ausgangskapazität $V_{DS} = 20\text{ V}$ $V_{GS} = 0\text{ V}$ $f = 1\text{ MHz}$		C_{oss}	–	17 pF	–
Reverse Transfer Capacitance – Rückwirkungskapazität $V_{DS} = 20\text{ V}$ $V_{GS} = 0\text{ V}$ $f = 1\text{ MHz}$		C_{rss}	–	12 pF	–
Turn-On Delay & Rise Time – Einschaltverzögerung und Anstiegszeit $V_{DD} = 30\text{ V}$ $I_D = 0.1\text{ A}$ $V_{GS} = 10\text{ V}$ $R_G = 10\ \Omega$ (Fig. 1)		$t_{d(on)}$ t_r	–	4.5 ns 8.9 ns	–
Turn-Off Delay & Fall Time – Ausschaltverzögerung und Abfallzeit $V_{DD} = 30\text{ V}$ $I_D = 0.1\text{ A}$ $V_{GS} = 0\text{ V}$ $R_G = 10\ \Omega$ (Fig. 1)		$t_{d(off)}$ t_f	–	30.3 ns 15.6 ns	–
Total Gate Charge – Gesamte Gate-Ladung $V_{DD} = 10\text{ V}$ $I_D = 0.25\text{ A}$ $V_{GS} = 10\text{ V}$		Q_g	–	2.0 nC	–
Gate-Source Charge – Gate-Source-Ladung $V_{DD} = 10\text{ V}$ $I_D = 0.25\text{ A}$ $V_{GS} = 10\text{ V}$		Q_{gs}	–	0.3 nC	–
Gate-Drain Charge – Gate-Drain-Ladung $V_{DD} = 10\text{ V}$ $I_D = 0.25\text{ A}$ $V_{GS} = 10\text{ V}$		Q_{gd}	–	0.3 nC	–
Intrinsic Gate resistance – Innere Gatewiderstand $f = 1\text{ Mhz}$ D open		R_{GI}		70 Ω	

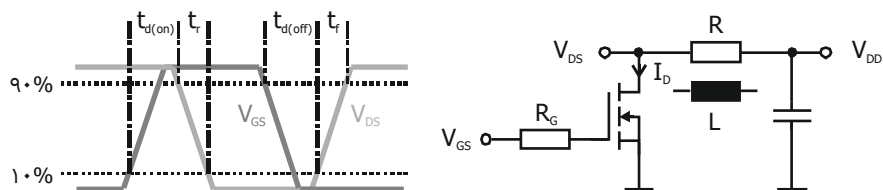
Fig. 1

Test circuit for switching times (R) and avalanche energy (L)

 ("rise" and "fall" refer to I_D)

Testaufbau für Schaltzeiten (R)

und Avalanche-Energie (L)

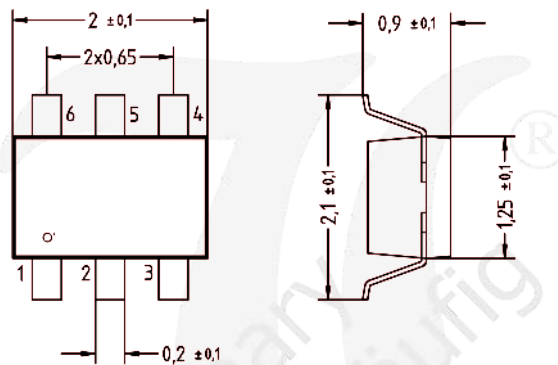
 ("rise" und "fall" beziehen sich auf I_D)


Characteristics (diode)**Kennwerte (Diode)**

	$T_j = 25^\circ\text{C}$	Min.	Typ.	Max.
Forward voltage – Durchlass-Spannung $V_{GS} = 0\text{ V}$ $I_S = 250\text{ mA}$	V_{SD}	–	–	1.2 V

Characteristics (thermal)**Kennwerte (thermisch)**

Thermal resistance junction to ambient Wärmewiderstand Sperrschicht – Umgebung	R_{thA}	< 395 K/W ¹⁾ < 320 K/W ²⁾ ³⁾
---	-----------	--

Dimensions - Maße [mm]

Disclaimer: See data book page 2 or [website](#)
Haftungsausschluss: Siehe Datenbuch Seite 2 oder [Internet](#)

- 1 Mounted on P.C. board with 3 mm² copper pad per terminal – Montage auf Leiterplatte mit 3 mm² Löt-pad je Anschluss
- 2 Mounted on P.C. board with 625 mm² copper pad per terminal – Montage auf Leiterplatte mit 625 mm² Löt-pad je Anschluss
- 3 Per device – Pro Bauteil