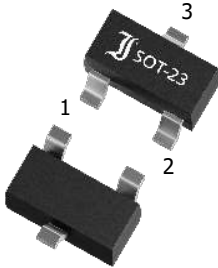
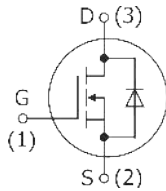


MMFTN4520
N-Channel Enhancement Mode FET
N-Kanal FET – Anreicherungstyp
 $I_D = 1 \text{ A}$ $V_{DS} = 150 \text{ V}$
 $R_{DS(on)} < 1.2 \ \Omega$ $P_{tot} = 960 \text{ mW}$
 $T_{jmax} = 150^\circ\text{C}$

Version 2023-05-12

SOT-23
TO-236
SPICE Model & STEP File ¹⁾
Marking Code
NX1

HS Code 85412100

Typical Applications
DC/DC Converters
Signal processing
Drivers
Logic level converter
Commercial / industrial grade
Suffix -Q: AEC-Q101 compliant ¹⁾
Suffix -AQ: in AEC-Q101 qualification ¹⁾
Features
Fast switching times
Low on state resistance
Low gate charge
Compliant to RoHS (w/o exemp.)
REACH, Conflict Minerals ¹⁾
Mechanical Data ¹⁾
Taped and reeled
Weight approx.
Case material
Solder & assembly conditions
3000 / 7ⁿ

0.01 g

UL 94V-0

260°C/10s

MSL = 1

Typische Anwendungen
Gleichstrom-Wandler
Signalverarbeitung
Treiberstufen
Logikpegelwandler
Standardausführung
Suffix -Q: AEC-Q101 konform ¹⁾
Suffix -AQ: in AEC-Q101 Qualifikation ¹⁾
Besonderheiten
Schnelle Schaltzeiten
Niedriger Einschaltwiderstand
Niedrige Gate-Ladung
Konform zu RoHS (ohne Ausn.)
REACH, Konfliktmineralien ¹⁾
Mechanische Daten ¹⁾
Gegurtet auf Rolle
Gewicht ca.
Gehäusematerial
Löt- und Einbaubedingungen
Maximum ratings ¹⁾**Grenzwerte ²⁾**

		MMFTN4520/-Q	
Drain-Source-voltage Drain-Source-Spannung		V_{DS}	150 V
Gate-Source-voltage Gate-Source-Spannung	D open	V_{GSO}	$\pm 20 \text{ V}$
Power dissipation Verlustleistung		P_{tot}	960 mW ²⁾
Drain current Drainstrom	DC	I_D	1000 mA
Peak Drain Current – Drain-Spitzenstrom		I_{DM}	4 A ³⁾
Junction temperature – Sperrschichttemperatur Storage temperature – Lagerungstemperatur		T_j T_s	-55...+150°C -55...+150°C

- Please note the [detailed information on our website](#) or at the beginning of the data book
Bitte beachten Sie die [detaillierten Hinweise auf unserer Internetseite](#) bzw. am Anfang des Datenbuches
- $T_A = 25^\circ\text{C}$, unless otherwise specified – $T_A = 25^\circ\text{C}$, wenn nicht anders angegeben
- Mounted on P.C. board with 6.45 cm² copper pad per terminal
Montage auf Leiterplatte mit 6,45 cm² Kupferbelag je Anschluss
- Pulse width limited by T_{jmax} – Pulsbreite begrenzt durch T_{jmax}

Characteristics (static)
Kennwerte (statisch)

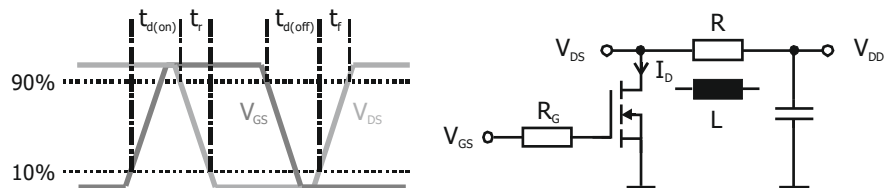
		$T_J = 25^\circ\text{C}$	Min.	Typ.	Max.
Drain-Source breakdown voltage – Drain-Source-Durchbruchspannung - $I_D = 250 \mu\text{A}$	$V_{(BR)DSS}$		150 V	–	–
Drain-Source leakage current – Drain-Source-Leckstrom $V_{DS} = 120 \text{ V}$	I_{DSS}		–	–	1 μA
Gate-Source leakage current – Gate-Source-Leckstrom $V_{GS} = \pm 20 \text{ V}$	I_{GSS}		–	–	$\pm 100 \text{ nA}$
Gate-Source threshold voltage – Gate-Source Schwellspannung $V_{GS} = V_{GS} \quad I_D = 250 \mu\text{A}$	$V_{GS(th)}$		1 V	–	3 V
Drain-Source on-state resistance – Drain-Source Einschaltwiderstand $V_{GS} = 10 \text{ V} \quad I_D = 1 \text{ A}$ $V_{GS} = 4.5 \text{ V} \quad I_D = 1 \text{ A}$	$R_{DS(on)}$		–	–	1.2 Ω 1.5 Ω

Characteristics (dynamic)
Kennwerte (dynamisch)

Input Capacitance – Eingangskapazität $V_{DS} = 75 \text{ V} \quad f = 1 \text{ MHz}$	C_{iss}		–	164 pF	–
Output Capacitance – Ausgangskapazität $V_{DS} = 75 \text{ V} \quad f = 1 \text{ MHz}$	C_{oss}		–	17 pF	–
Reverse Transfer Capacitance – Rückwirkungskapazität $V_{DS} = 75 \text{ V} \quad f = 1 \text{ MHz}$	C_{rss}		–	5.3 pF	–
Turn-On Delay & Rise Time – Einschaltverzögerung & Anstiegszeit $V_{GS} = 10 \text{ V} \quad V_{DD} = 75 \text{ V} \quad I_D = 1 \text{ A} \quad R_G = 3.9 \Omega \quad \text{Fig.1}$	$t_{d(on)}$ t_r		–	3.3 ns 2.8 ns	–
Turn-Off Delay & Fall Time – Ausschaltverzögerung & Abfallzeit $V_{GS} = 0 \text{ V} \quad V_{DD} = 75 \text{ V} \quad I_D = 1 \text{ A} \quad R_G = 3.9 \Omega \quad \text{Fig.1}$	$t_{d(off)}$ t_f		–	7.7 ns 27 ns	–
Total Gate Charge – Gesamte Gate-Ladung $V_{DD} = 75 \text{ V} \quad I_D = 1 \text{ A} \quad V_{GS} = 10 \text{ V}$	Q_g		–	3.8 nC	–
Gate-Source Charge – Gate-Source-Ladung $V_{DD} = 75 \text{ V} \quad I_D = 1 \text{ A} \quad V_{GS} = 10 \text{ V}$	Q_{gs}		–	1.4 nC	–
Gate-Drain Charge – Gate-Drain-Ladung $V_{DD} = 75 \text{ V} \quad I_D = 1 \text{ A} \quad V_{GS} = 10 \text{ V}$	Q_{gd}		–	0.2 nC	–

Fig. 1

Test circuit for switching times (R) and avalanche energy (L) ("rise" and "fall" refer to I_D)
Testaufbau für Schaltzeiten (R) und Avalanche-Energie (L) ("rise" und "fall" beziehen sich auf I_D)

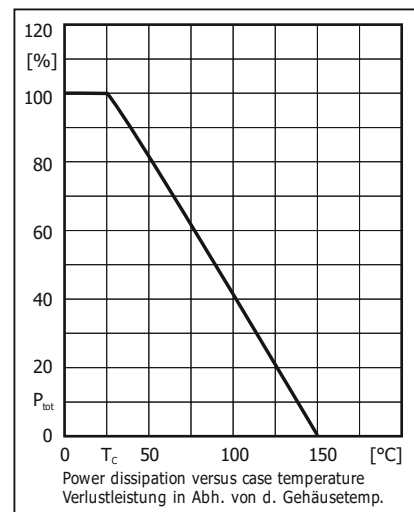
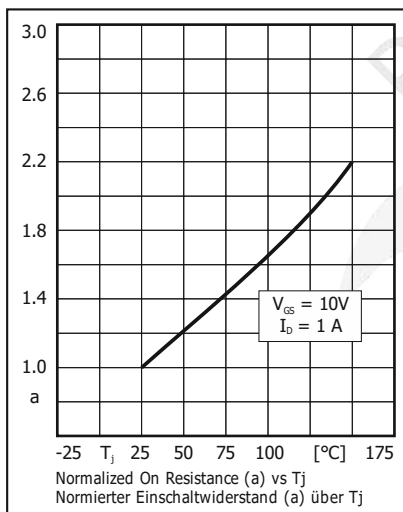
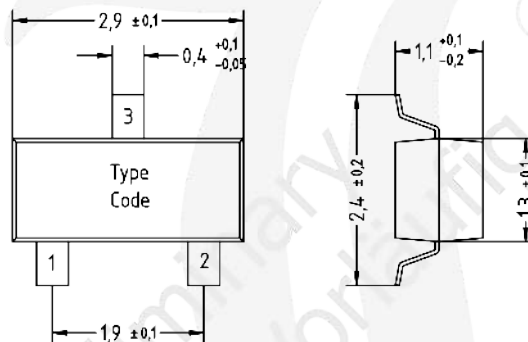


Characteristics (diode)**Kennwerte (Diode)**

		$T_j = 25^\circ\text{C}$	Min.	Typ.	Max.
Forward voltage – Durchlass-Spannung $V_{GS} = 0\text{ V}$ $I_S = 1\text{ A}$		V_{SD}	–	–	1.3 V
Reverse recovery time – Sperrverzugszeit $I_S = 1\text{ A}$, $di/dt = -100\text{ A}/\mu\text{s}$		t_{rr}	–	29 ns	–
Reverse recovery charge – Sperrverzugsladung $I_S = 1\text{ A}$, $di/dt = -100\text{ A}/\mu\text{s}$		Q_{rr}	–	35 nC	–

Characteristics (thermal)**Kennwerte (thermisch)**

Thermal resistance junction to ambient Wärmewiderstand Sperrschicht – Umgebung	R_{thA}	< 130 K/W ¹⁾
---	-----------	-------------------------

Dimensions – Maße [mm]

Disclaimer: See data book page or [website](#)
Haftungsausschluss: Siehe Datenbuch Seite 2 oder [Internet](#)

1 Mounted on P.C. board with 6.45 cm² copper pad per terminal
Montage auf Leiterplatte mit 6,45 cm² Kupferbelag je Anschluss